

# (19)대한민국특허청(KR) (12) 등록특허공보(B1)

(51) . Int. Cl.<sup>7</sup>  
H01L 33/00

(45) 공고일자 2004년09월14일  
(11) 등록번호 10-0448351  
(24) 등록일자 2004년09월02일

(21) 출원번호 10-2004-0042761  
(22) 출원일자 2004년06월10일

(65) 공개번호  
(43) 공개일자

(73) 특허권자 에피밸리 주식회사  
경기 광주군 오폐면 능평리 51-2

(72) 발명자 박은현  
경기도 성남시 분당구 야탑동 매화마을 대창빌라 802동 405호  
유태경  
경기도 용인시 구성읍 마북리 629 삼거마을 삼성레미안 115-603

심사관 : 김동엽

## (54) III-질화물 반도체 발광소자

### 요약

본발명은 GaN 기반 질화물 발광소자의 정전기파괴(Electrostatic Discharge(ESD)) 특성을 개선하는 것에 관한 것으로, 발광소자의 활성층과 N-GaN층 사이 또는 N-GaN층 중간에 얇은 p형 AlInGa<sub>N</sub>층을 한층 또는 복수층으로 삽입함으로써 소자의 정전전압 파괴 특성을 획기적으로 개선을 할 수 있다. 이때 삽입되는 p형 AlInGa<sub>N</sub>층의 두께는 전자 터널링이 가능하여 순방향 전기적 특성에 영향을 주지 않을 정도가 되어야 한다. 이렇게 p형 AlInGa<sub>N</sub>층을 삽입함으로써 활성층 아래에 큰 커패시턴스를 형성할 수 있으며, 이렇게 형성된 큰 커패시턴스는 정전기가 들어왔을 경우 그 세기를 감소시키는 역할을 한다. 이는 커패시턴스가 커지면 순간적으로 가해지는 전압에 대해서 소자의 반응속도(response time)이 길어지게 되면서 그 최대 피크치가 완화되기 때문이다. 본발명을 이용하였을 경우 역방향 ESD 특성을 획기적으로 개선하여, 본발명을 적용하기 전에 200-400V 수준의 발광소자의 역방향 정전파괴 전압을 1000V 이상으로 구현할 수 있는 장점이 있다.

### 대표도

### 도 4

### 색인어

GaN, 질화막, capacitance, ESD, 정전기파괴, Electrostatic Discharge

### 명세서

### 도면의 간단한 설명

도 1은 종래의 갈륨질화물 발광소자를 설명하기 위한 도면;  
도 2는 저항과 커패시턴스의 크기에 따른 주입펄스의 시간에 따른 변형 모습을 나타내는 도면;  
도 3은 발광다이오드의 전압에 따른 실제 커패시턴스를 측정한 그래프;  
도 4는 본발명에 따른 정전기 파괴 특성 개선용 발광다이오드 구조를 나타내는 도면;

도 5는 본발명의 실시예 1에서 정전기 파괴개선의 핵심 부분의 에너지 밴드 모양과 구조 및 커패시턴스를 나타내는 도면;  
 도 6은 본발명의 실시예 2에서 정전기 파괴개선의 핵심 부분의 에너지 밴드 모양과 구조 및 커패시턴스를 나타낸 도면;  
 도 7은 실시예 1 및 실시예 2를 따라 제작된 발광 다이오드 및 기존 구조의 발광 다이오드의 ESD 전압을 측정한 결과를 나타내는 표.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본발명은 GaN 기반 질화물 광소자의 정전기파괴(Electrostatic Discharge(ESD)) 특성을 개선하는 것에 관한 것이다

GaN계 발광소자는 일반적으로 다른 화합물 발광소자에 비해서 정전기 특성이 나쁜 것으로 알려져 있다. 이는 격자부정합이 큰 사파이어 기판위에 GaN 발광 소자가 형성되므로 기판과 성장되는 박막 사이의 큰 격자 불일치(16%)로 인하여 GaN 박막에 많은 결정결함이 형성되기 때문이다. 이런 결정결함은 소자의 누설전류를 증가시키고 외부 정전기가 들어왔을 경우 많은 결정결함을 가지고 있는 발광소자의 활성층이 강한 필드에 의해서 파괴된다. 일반적으로 GaN 박막에는  $10^{10} - 10^{12} / \text{cm}^2$  정도의 결정결함이 존재하는 것으로 알려져 있다. 발광소자의 정전기 파괴 특성은 GaN계 발광소자의 응용 범위와 관련하여 매우 중요한 사안이다. 특히 발광소자의 P패케지시 장비 및 작업자로부터 발생하는 정전기를 견디게 소자를 설계하는 것은 최종적인 소자의 수율을 개선하기 위해서 매우 중요한 변수이다. 특히 최근 들어 GaN계 발광소자가 옥외 간판 및 자동차 조명등 환경이 열악한 조건에 응용되어 사용되고 있는 추세이므로 정전기 특성이 더욱 중요하게 여겨지고 있다. 일반적으로 기존의 GaN 발광소자의 ESD는 Human Body Mode(HBM) 조건에서 순방향으로는 수천 볼트까지 견디나 역방향으로는 수백 볼트를 견디기가 힘들다. 그 이유는 앞에서 언급했듯이 소자의 결정 결함이 주요 이유이며, 또한 소자의 전극 설계도 매우 중요하다. 특히 GaN 발광소자는 부도체인 사파이어 기판을 보편적으로 채택하고 있으므로 소자의 구조상 N-전극과 P-전극이 동일 면에 형성되면서 실제 소자 동작시 N-전극 주변으로 전류의 모임 현상이 심해져서 ESD 특성을 더욱 나쁘게 한다. 이런 ESD 특성을 개선하기 위해서 기존의 방법은 소자 외적인 측면에서 접근을 많이 하고 있다. GaN 발광소자와 병렬로 보호 다이오드(일반적으로 제너 다이오드)를 역으로 연결하여 GaN 소자에 역으로 고전압의 ESD가 주입되는 것을 방지하는 방법을 사용하기도 하고, GaN 발광소자와 병렬로 큰 커패시터를 연결하여 고전압이 커패시터를 통해 흘러가도록 하는 방법을 사용하기도 한다. 그러나 위와 같이 소자 외부적으로 추가적인 ESD 보호 소자를 추가하는 것은 비용적인 면에서나 수율적인 면에서 바람직하지는 않다. 가장 바람직한 방법은 발광소자의 박막 특성 또는 구조를 개선하여서 발광소자 자체적으로 ESD 특성을 개선하는 것이다. 이를 위해서 근본적으로 GaN 박막의 품질은 높이는 것이 바람직하나 이에 한계가 있다. 현재까지 GaN 소자의 ESD 특성을 개선하기 위한 박막의 성장 방법에 대한 자료는 많지 않다. 도 1은 종래의 III-질화물 반도체 발광소자를 설명하기 위한 단면도이다.

도 1을 참고하면, 종래의 III-질화물 반도체 발광소자는, 사파이어 기판(10) 상에, 도펀트가 도핑되지 않은 GaN으로 이루어진 버퍼층(11), n-GaN으로 이루어진 하부접촉층(12), 단일양자우물구조 또는 다중양자우물구조를 가지는 활성층(13), 및 p-GaN으로 이루어진 상부접촉층(14)을 순차적으로 적층한 후에, 하부접촉층(12)이 노출되도록 mesa식 각하고 전극으로 사용될 전극층(15,16,17)들을 형성함으로써 이루어진다. 니치아사의 경우 활성층 아래에 두꺼운 도핑이 되지 않은 GaN층을 삽입하여 ESD를 50%정도까지 개선한 특허를 발표한 바 있다.

#### 발명이 이루고자 하는 기술적 과제

따라서, 본발명이 이루고자 하는 기술적 과제는, GaN 박막의 품질 개선(Crystal Quality 개선) 한계를 인정하여, GaN 발광소자의 박막 구조를 획기적으로 개선하여 GaN 발광소자의 정전기 특성을 개선하는데 있다.

#### 발명의 구성 및 작용

앞에서 언급하였듯이 ESD 개선을 위한 근본적인 방법은 GaN 박막의 품질을 개선하는 것이다. 그러나 이는 실질적으로 매우 어려운 과제이며, 현 GaN 박막 성장 기술적 한계를 가지고 있는 부분이다. 따라서 본발명은 GaN박막의 품질은 기존과 동일하게 유지하면서 소자의 구조적인 특성을 개선하여 순간적인 정전기가 소자에 주입되었을 때 이를 소자가 견딜 수 있게 하는 박막 디자인에 중점을 두고 있다.

소자에 정전기와 같이 순간전압이 높은 펄스형태의 전압이 들어 왔을 경우, 소자 내부를 진행하면서 그 주입된 전압의 전압세기의 감쇄현상은 소자가 가지고 있는 저항과 커패시턴스에 따라 민감하게 변한다. 간단한 회로를 들어 순간 펄스에 대해서 저항과 capacitance에 의해서 파형이 어떻게 변하는지 쉽게 설명이 될 수 있다. 회로 저항을 R, 직렬로

연결된 Capacitance를 C라고 했을 경우 주입된 펄스의 세기가 반감되는 시간은 R 과 C의 곱에 비례한다( $\propto e^{-t/RC}$ ), t:시간, R:저항, C:커패시턴스). 즉 이는 R과 C가 클 경우 펄스의 반감되는 시간이 길어지는 것을 의미하며, 이는 곧 펄스의 최고 세기가 그 만큼 감소한다는 것을 의미한다. 다시 말해 주입되는 에너지가 보존이 되므로 파형이 길어지면 그 만큼 높이가 낮아지는 것이다. 이 현상을 대략적으로 도 2에 나타내었다. R 및 C가 커질수록 진행 펄스의 최고치가 감소함을 할 수 있다.

본발명에서는 이런 회로적인 특성을 GaN 발광소자에 적용하여 순간 발생하는 ESD의 진행 속도를 늦추어 최고 세기(Peak intensity)를 감쇄시키므로 활성층이 ESD 충격을 최소한으로 받게 소자를 설계하고자 하였다. 일반적으로 P-N 다이오드의 발광소자에 있어서 역방향 ESD 특성이 순방향 ESD 특성보다 10배 정도 낮은 값을 보인다. 수치적으로는 Human Body Mode에서 역방향 ESD 전압은 수백 볼트 정도이나 순방향 ESD 전압은 수천 볼트 정도이다. 이런 특성을 소자의 저항과 커패시턴스 모델로 설명이 가능하다. 반도체 소자에서의 커패시턴스는 P-N 접합에서 형성되는 공핍영역(depletion region) 때문에 형성이 된다. 일반적으로 커패시턴스를 나타내는 수식은 다음과 같다.

$C = \text{물질 유전율} \times \text{전극면적}(A) / \text{전극사이 거리}(d)$

순방향으로 전압이 인가되었을 경우 이 공핍 영역의 거리는(d)는 매우 좁아지게 되고 따라서 소자의 커패시턴스가 매우 커지게 된다. 반대로 소자에 역방향으로 전압을 인가하였을 경우 이 공핍영역의 거리(d)는 커지게 되고 따라서 커패시턴스가 작아지게 된다. 따라서 순방향 ESD가 인가되었을 경우 소자의 capacitance가 커지게 되므로 소자가 실질적으로 받는 ESD의 최고 세기(peak intensity)는 매우 약하게 되며, 역방향 ESD가 인가되었을 경우 소자의 커패시턴스가 작아지면서 소자가 실질적으로 받는 ESD의 최고 세기는 매우 세어지게 되는 것이다. 따라서 GaN 발광소자에서 역방향 ESD가 순방향에 비해 10이상 취약하므로 역방향 ESD를 개선하는 것이 매우 중요하다.

본발명은 적어도 Ga과 N를 조성에 함유하며 전자와 정공의 재결합에 의해 광을 생성하는 활성층을 포함하고, 기판을 사용하여 에피성장되는 복수개의 III-질화물 반도체층들을 포함하는 III-질화물 반도체 발광소자에 있어서, 복수개의 III-질화물 반도체층들은 활성층에 앞서 에피성장되며 n형 전극이 전기적으로 접촉되는 n형 III-질화물 반도체층을 포함하며, p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층과 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층 위에 에피성장되는 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층을 활성층과 n형 III-질화물 반도체층 사이에 더 포함하는 III-질화물 반도체 발광소자를 제공한다.

여기서, 버퍼층은 바람직하게는 저온성장된 GaN 버퍼(US5,290,393호), 본원인에 의해 발명된 SiC 또는 SiCN 버퍼(한국특허출원 제2003-85334호, 제2004-35610호)일 수 있다. 또한, n형 III-질화물 반도체층은 의도적으로 도핑되지 않는 n형 GaN층을 포함할 수 있다. 본발명은 필수적으로 활성층과 n형 컨택층 사이에 역방향의 p-n 접합 다이오드를 구성할 것을 요지로 하며, 활성층과 이 p-n 접합 다이오드 그리고 이 p-n 접합 다이오드와 n-컨택층 사이에서 당업자에게 자명하거나 그 실시의 시기에 있어 균등물에 지나지 않는 III-질화물 반도체층을 포함할 수 있다.

또한, 본발명은 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층이 전자 터널링이 가능하도록 0.5nm이상 20nm이하의 두께를 가지는 III-질화물 반도체 발광소자를 제공한다.

또한, 본발명은 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층이  $10^{18}/\text{cm}^3$  이상  $10^{22}/\text{cm}^3$  이하의 도핑농도를 가지는 III-질화물 반도체 발광소자를 제공한다.

또한, 본발명은 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층이 500nm이하의 두께를 가지는 III-질화물 반도체 발광소자를 제공한다.

또한, 본발명은 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층이  $10^{16}/\text{cm}^3$  이상  $10^{20}/\text{cm}^3$  이하의 도핑농도를 가지는 III-질화물 반도체 발광소자를 제공한다.

또한, 본발명은 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층과 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층 위에 에피성장되는 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층이 반복해서 에피성장되며, 반복 성장의 횟수는 10이하인 III-질화물 반도체 발광소자를 제공한다. 여기서, 반복되어 성장되는 층들은 당업자에게 자명한 범위에서 그 조성과 성분의 변화 그리고 두께의 변화를 포함하는 것으로 이해되어야 한다.

또한, 본발명은 복수개의 III-질화물 반도체층들이 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층 위에 추가의 n형 III-질화물 반도체층을 포함하는 III-질화물 반도체 발광소자를 제공한다.

도 3은 본원인이 제작한 GaN 발광 다이오드의 전압에 따른 Capacitance를 실질적으로 측정한 자료이다. 앞에서 설명이 되었듯이 역방향 전압이 증가하면서 연속적으로 커패시턴스가 작아지는 것을 관찰할 수 있다.

본발명에서는 이와 같은 원리를 GaN 발광다이오드에 적용하여 역방향 ESD를 개선하고자 하였다. 이런 원리를 발광소자에 응용해서 역방향 ESD를 개선하기 위해서는 소자의 저항을 증가시키는 것 보다 큰 커패시턴스를 소자에 삽입을 하는 것이 중요한데, 본발명에서는 활성층 아래에 p형 AlInGaN을 삽입하여 위의 구조를 실현 하였다. 자세한 소자의 구성을 설명하면 다음과 같다.

도 4에 나타난 바와 같이, 사파이어 기판(10)위에 버퍼층(11)을 형성하고 그 위에 순차적으로 그 위에 n형 GaN층(12)을 성장 한다. 그리고 활성층(13) 아래 또는 n형 GaN층(12) 중간에 p형 AlInGaN층(30)을 삽입한다. p형 AlInGaN층(30) 위에 다시 n형 AlInGaN층(31)을 성장하고 그 위에 활성층(13)을 형성한다. 최종적으로 활성층(13) 위에 p형 AlInGaN층(14)이 형성된다.

여기서 활성층(13) 아래 또는 n형 GaN층(12) 사이에 삽입이 되는 p형 AlInGaN층(30) 및 n형 AlInGaN층(31)이 ESD 개선을 위해서 본발명에서 제안하는 구조이다. 이때 삽입되는 p형 AlInGaN층(30)의 두께는 전자의 터널링이 가능하도록 20nm이하로 설계를 하는 것이 바람직하다. 발광소자의 정상적인 동작에서는 n형 GaN층에서 주입된 전자는 터널링 효과를 통해 p형 층을 통과하게 된다. 따라서 소자의 정상적인 동작에는 삽입된 p형 층이 소자에 큰 영향을 주지는 않게 된다. 이렇게 삽입된 p형 층에 의해서 앞에서도 이야기 하였듯이 p형 층과 n형 층들 사이에 공핍영역(Depletion Region)이 형성되면서, 큰 커패시턴스가 형성된다. 이는 p형 층이 얇고 또한 n형 층도 도핑되어 있으므로 역방향

전압에서는 그 공핍영역이 거리가 크지 않아서 역방향 전압에서도 큰 커패시턴스가 형성된다. 따라서 이런 큰 커패시턴스가 활성층 아래에 존재하게 되면 정전기의 최고 세기(peak intensity)를 감소시켜 활성층을 보호할 수 있게 된다. 도 5와 도 6은 본발명에서 삽입한 구조에 대해서 에너지 밴드 그림과 커패시턴스 형성을 대략적으로 묘사하였다.

아래는 실시예를 들어 본발명의 자세한 설명을 한다.

종래의 기술에 해당하는 부분 즉 버퍼(11), n형 GaN(12), 활성층(13), p형 GaN(14)층에 대한 자세한 설명은 생략한다. 본발명에서 제일 중요한 부분인 ESD 개선 구조를 중심으로 설명을 진행한다.

#### [실시예 1]

사파이어 기판(10)위에 버퍼층(11)을 형성한 후 그 위에 n형 GaN(12)을 형성시킨다. n형 GaN층(12) 위에 p형  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(30)을 5nm 두께로 성장시킨다. 이때 사용된 x는 0.05 이었다. 여기서 InGaN층을 사용한 이유는 GaN 또는 AlGaIn 비해서 InGaN은 유전율이 커서 상대적은 큰 커패시턴스를 형성할 수 있기 때문이다. 그러나 ESD 수준에 따라서 InGaN이 아닌 GaN나 AlGaIn을 사용하여도 무방하다. 또한 여기서 사용된 In양은 조절될 수 있으며, 본 실험에서 x=0.05를 채택한 이유는 일반적으로 x 값을 증가시키기 위해서는 반응기 온도를 내려야 하고 이로 인하여 성장되는 박막의 크리스탈 품질이 나빠질 수 있기 때문이다. 따라서 온도와 커패시턴스의 어느 정도 절충값을 사용한 것이다. 그러나 인듐양은 자유롭게 조절하여 사용할 수 있다. p-도핑은 Cp2Mg 소스를 사용하였으며, 성장속도는 0.1nm/s를 p형 층 성장시 유지하였다. 도핑된 Mg양은 약  $10^{19}$  에서  $10^{21}$  사이dml 값을 가질 것으로 추정을 한다. 위와 같이 p형 InGaN(30)을 형성한 후  $1 \times 10^{18}$  정도의 실리콘이 도핑된 n형 GaN층(31)을 20nm 정도 성장시킨 후 그 위에 활성층(13)과 p형 GaN층(14)을 성장시켰다. 이런 구조로 성장된 Sample을 측정한 결과 역방향 ESD 전압을 200V에서 2000V - 3000V 까지 개선할 수 있었다. 10개 sample에 대한 ESD측정 결과가 도 7에 나타나 있다. 본실험은 조건이 최적화된 것이 아니며 삽입된 ESD 개선용 P-층의 두께 및 물질구성을 변경하여 최적화 할 경우 보다 더 높은 역방향 ESD를 얻을 수 있을 것으로 예상된다.

#### [실시예 2]

사파이어 기판(10)위에 버퍼층(11)을 형성한 후 그 위에 n형 GaN층(12)을 형성시킨다. n형 GaN층(12) 위에 p형  $\text{In}_x\text{Ga}_{1-x}\text{N}$ 층(30)을 3nm 두께로 그리고 n형 GaN층(31)을 5nm 두께로 3주기 형성시켰다. 이때 사용된 x는 실시예1과 같이 0.05 이었다. 여기서 InGaN층을 사용한 이유는 GaN 또는 AlGaIn 비해서 InGaN은 유전율이 커서 상대적은 큰 커패시턴스를 형성할 수 있기 때문이다. 그러나 ESD 수준에 따라서 InGaN이 아닌 GaN나 AlGaIn을 사용하여도 무방하다. 또한 여기서 사용된 In양은 조절할 수 있으며, 본 실험에서 x=0.05를 채택한 이유는 일반적으로 x 값을 증가시키기 위해서는 반응기 온도를 내려야하고 이로 인하여 성장되는 박막의 크리스탈 품질이 나빠질 수 있기 때문이다. 따라서 온도와 커패시턴스의 어느 정도 절충값을 사용한 것이다. 그러나 인듐양은 자유롭게 조절하여 사용할 수 있다. p-도핑은 Cp2Mg 소스를 사용하였으며, 성장속도는 0.1nm/s를 p형층 성장시 유지를 하였다. 도핑된 Mg양은 약  $10^{19}$  에서  $10^{21}$  사이의 값을 가질 것으로 추정을 한다. ESD 개선으로 주기적으로 삽입된 n형 GaN층(31)은 약  $1 \times 10^{18}$  정도로 실리콘이 도핑되었으며, 그 두께는 약 5nm 정도로 p형 InGaN층(30)과 같이 0.1nm/s 정도의 속도로 성장이 되었다. 이때 삽입된 p형 InGaN층(30) 및 n형 GaN층(30)은 3주기이다. 이 구조에 대한 묘사가 도 5에 나타나 있다. 이런 구조로 성장된 Sample을 측정한 결과 역방향 ESD 전압을 기존 200V에서 1000 - 2000V까지 개선 할 수 있었다. 실시예 1과 비교하여 약간 떨어지는 수치를 보였으며, 이는 저온에서 길러지는 p형 InGaN층(30)의 3주기가 삽입되면서 전체적인 박막의 품질이 실시예 1에 비해 나빠지면서 ESD도 나빠진 것으로 추정된다. 그러나 이런 구조에서도 기존 대비 매우 높은 ESD결과를 보였다. 본 실험은 조건이 최적화된 것이 아니며 삽입된 ESD 개선용 P형 층의 두께 및 물질구성을 변경하여 최적화할 경우 보다 더 높은 역방향 ESD를 얻을 수 있을 것으로 예상된다.

#### 발명의 효과

상술한 바와 같은 본발명에 의하면, 기존의 발광다이오드 구조에서 활성층 아래에 p형 AlInGaIn층을 삽입하여 활성층 아래에 큰 커패시턴스를 형성시킴으로써 주입된 정전기의 최고세기(peak intensity)를 격감시켜 소자의 역방향 ESD를 1000V 이상으로 개선할 수 있다.

#### (57) 청구의 범위

##### 청구항 1.

적어도 Ga과 N를 조성에 함유하며 전자와 정공의 재결합에 의해 광을 생성하는 활성층을 포함하고, 기판을 사용하여 에피성장되는 복수개의 III-질화물 반도체층들을 포함하는 III-질화물 반도체 발광소자에 있어서, 복수개의 III-질화물 반도체층들은 활성층에 앞서 에피성장되며 n형 전극이 전기적으로 접촉되는 n형 III-질화물 반도체층을 포함하며, p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층과 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층 위에 에피성장되는 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층을 활성층과 n형 III-질화물 반도체층 사이에 더 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.

##### 청구항 2.

제 1 항에 있어서, p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층은 전자 터널링이 가능하도록 0.5nm이상 20nm이하의 두께를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.

##### 청구항 3.

제 1 항에 있어서, p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층은  $10^{18}/\text{cm}^3$  이상  $10^{22}/\text{cm}^3$  이하의 도핑농도를 가지

는 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 4.**

제 1 항에 있어서, n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층은 500nm이하의 두께를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 5.**

제 1 항에 있어서, n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층은  $10^{16}/\text{cm}^3$  이상  $10^{20}/\text{cm}^3$  이하의 도핑농도를 가지는 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 6.**

제 1 항에 있어서, p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층과 p형  $\text{Al}(x)\text{In}(y)\text{Ga}(z)\text{N}$  ( $x+y+z=1$ )층 위에 에피성장되는 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층이 반복해서 에피성장되며, 반복 성장의 횟수는 10이하인 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 7.**

제 1 항에 있어서, n형 III-질화물 반도체층은 GaN인 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 8.**

제 1 항에 있어서, 복수개의 III-질화물 반도체층들은 n형  $\text{Al}(x_1)\text{In}(y_1)\text{Ga}(z_1)\text{N}$  ( $x_1+y_1+z_1=1$ )층 위에 추가의 n형 III-질화물 반도체층을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 9.**

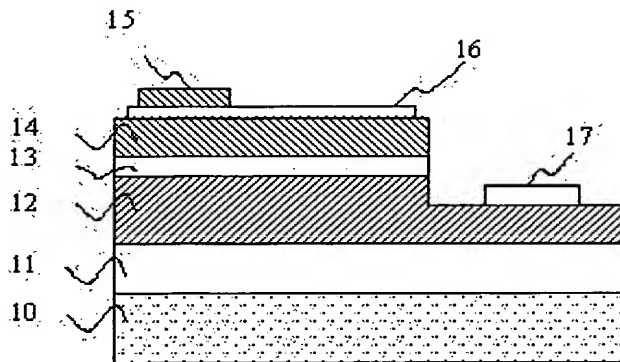
사파이어 기판; 사파이어 기판 위에 성장되는 버퍼층; 버퍼층 위에 성장되는 제1 n형 GaN층; 제1 n형 GaN층 위에 성장되는 p형  $\text{In}(a)\text{Ga}(b)\text{N}$  ( $a+b=1, b \neq 0$ )층; p형  $\text{In}(a)\text{Ga}(b)\text{N}$  ( $a+b=1, b \neq 0$ )층 위에 성장되는 제2 n형 GaN층; 제2 n형 GaN층 위에 성장되며 적어도 Ga과 N를 포함하는 활성층; 활성층 위에 성장되는 p형 GaN층; 그리고 제1 n형 GaN층에 전기적으로 접촉되는 n형 전극을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.

**청구항 10.**

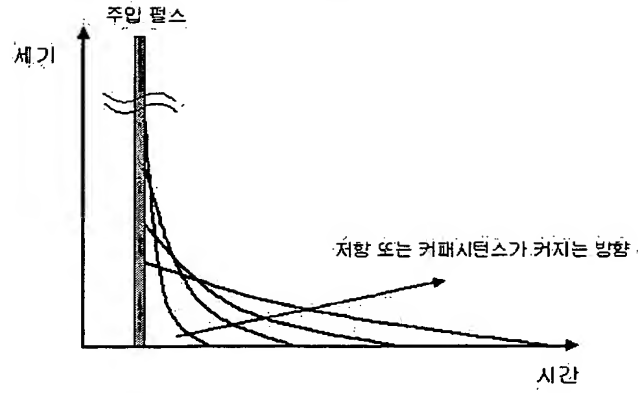
사파이어 기판; 사파이어 기판 위에 성장되는 버퍼층; 버퍼층 위에 성장되는 제1 n형 GaN층; 제1 n형 GaN층 위에 성장되며, p형  $\text{In}(a)\text{Ga}(b)\text{N}$  ( $a+b=1, b \neq 0$ )층과 p형  $\text{In}(a)\text{Ga}(b)\text{N}$  ( $a+b=1, b \neq 0$ )층 위에 성장되는 제2 n형 GaN층의 3층 적층구조; 3층 적층구조 위에 성장되며 적어도 Ga과 N를 포함하는 활성층; 활성층 위에 성장되는 p형 GaN층; 그리고 제1 n형 GaN층에 전기적으로 접촉되는 n형 전극을 포함하는 것을 특징으로 하는 III-질화물 반도체 발광소자.

도면

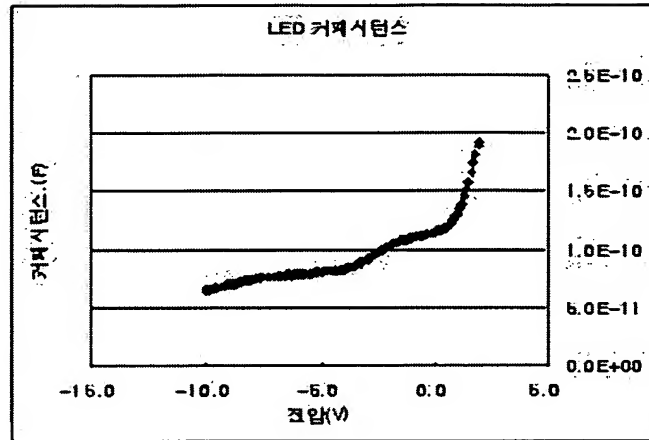
도면1



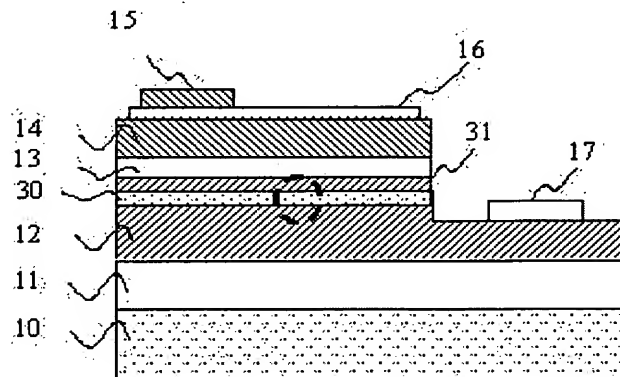
도면2



도면3

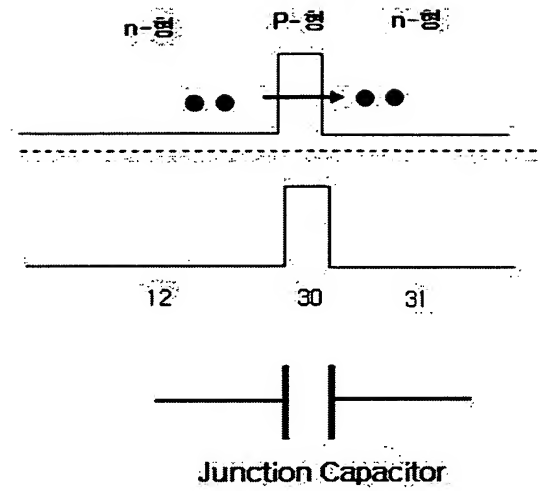


도면4

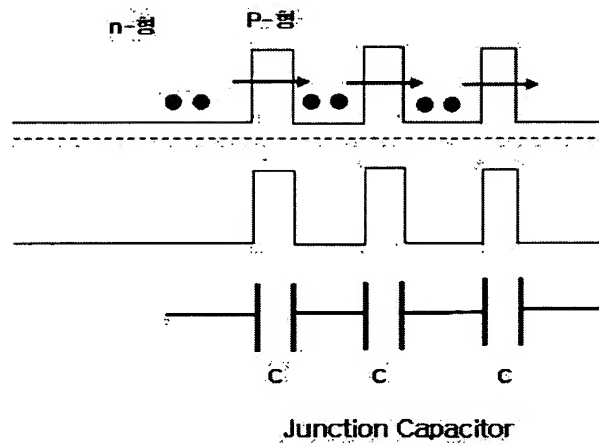


도면5

도 3에서 동그라미 치진 부분



도면6



도면7

Human Body Mode ESD 측정 결과			
LED	Normal	실시 예1	실시 예 2
1	250V	2000V	1500V
2	250V	2500V	1800V
3	300V	2000V	2000V
4	250V	2000V	2000V
5	300V	3000V	1500V
6	300V	2000V	1000V
7	300V	2500V	2000V
8	300V	2000V	1500V
9	250V	2000V	2000V
10	250V	2500V	1500V